

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-076942

(43)Date of publication of application : 22.03.1996

(51)Int.Cl.

G06F 3/08
 G06F 12/06
 G06K 7/04
 G06K 19/07
 H04N 5/765
 H04N 5/781

(21)Application number : 06-206769

(71)Applicant : FUJI PHOTO FILM CO LTD

(22)Date of filing : 31.08.1994

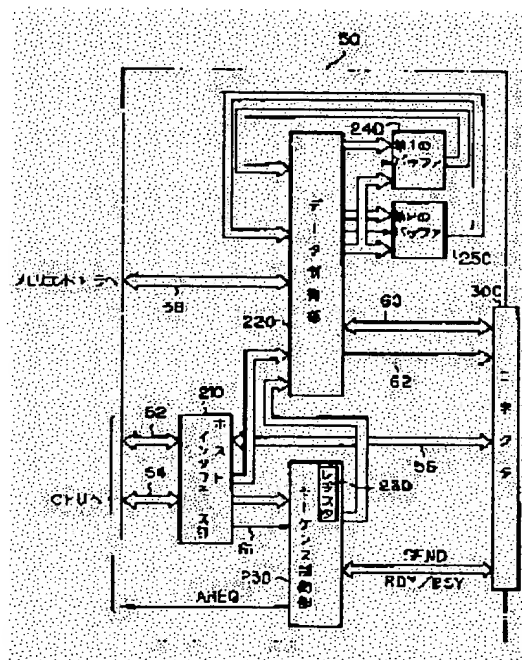
(72)Inventor : ITO KENJI
 HAYASHI KENKICHI

(54) MEMORY CARD INTERFACE DEVICE

(57)Abstract:

PURPOSE: To effectively connect a memory card compatible to the standard of a personal computer to a host processor.

CONSTITUTION: A host interface part 210 supplies a control signal from the host processor to a sequence control part 230 and a data control part 220. The control part 230 receives a status signal from a memory card and controls the control part 220 by a sequence corresponding to the memory card. At the time of especially accessing the memory card, data are alternately stored in buffers 240, 250 in each sector to absorb a speed difference of data between the host processor and the control part 230. Namely during the period of writing or reading out data in/from a card by one buffer 240, the other buffer 250 executes supplying or receiving operation of data to/from the host processor. During the period, a succeeding parameter is set up in a register 260 built in the control part 230 and said operation is repeated.



BEST AVAILABLE COPY

LEGAL STATUS

[Date of request for examination]

01.08.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(11)特許出願公開番号

特開平8-76942

(43)公開日 平成8年(1996)3月22日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 3/08	A			
12/06	5 2 4	7623-5B		
G 0 6 K 7/04		7623-5B		
			G 0 6 K 19/ 00	N
		7734-5C	H 0 4 N 5/ 781	5 1 0 E
		審査請求 未請求 請求項の数 6	OL (全 11 頁)	最終頁に続く

(21)出願番号 特願平6-206769

(22) 出願日 平成6年(1994)8月31日

(71)出願人 000005201

富士写真フイルム株式会社

神奈川県南足柄市中沼210番地

(72) 発明者 伊藤 研治

埼玉県朝霞市泉水三丁目11番46号 富士写真フイルム株式会社内

(72)発明者 林 健吉

埼玉県朝霞市泉水三丁目11番46号 富士写真フイルム株式会社内

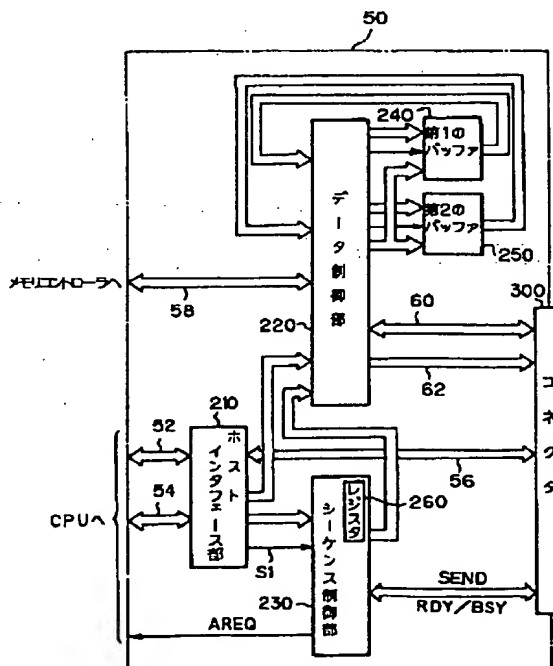
(74)代理人 弁理士 香取 孝雄

(54) 【発明の名称】 メモリカードインタフェース装置

(57)【要約】 (修正有)

【目的】 パーソナルコンピュータ規格のメモ리카ードをホスト処理装置に有効に接続する。

【構成】 ホストインタフェース部210 はホスト処理装置からの制御信号をシーケンス制御部230 およびデータ制御部220 に供給する。シーケンス制御部230 はメモリカードからの状態信号を受けて、メモリカードに応じたシーケンスにてデータ制御部230 を制御する。特に、メモリカードにアクセスするときに、データをバッファ240, 250 にセクタ毎に交互に蓄積して、ホスト処理装置側との間のデータの速度差を吸収する。つまり、一方のバッファ240 にてデータをカードに対して書き込みまたは読み出している間に、他方のバッファ250 にてホスト処理装置に対してデータを供給または受ける動作を実行する。この間にシーケンス制御部230 ではレジスタ260 に次のパラメータが設定され、以上の動作をくり返し実行する。



【特許請求の範囲】

【請求項1】 データの読み出しおよび書き込みが所定の容量のブロック単位毎にアクセスされるメモリカードと、データの特性に応じてその転送速度が異なるデータを取り扱うホスト処理装置とを着脱自在に接続するメモリカードインタフェース装置において、該装置は、前記ホスト処理装置から前記メモリカードへの制御信号をインタフェースするホストインタフェース部と、該ホストインタフェース部からの制御信号および前記メモリカードからの状態信号を受けて該メモリカードへのアクセスを実行するシーケンス制御部と、該シーケンス制御部からの制御信号を受けて、そのシーケンスに基づいて前記メモリカードへのデータのアクセスを実行するデータ制御部とを含み、該データ制御部は、前記メモリカードにて取り扱われるブロック単位のアクセス容量と同様の容量を有するデータ記憶手段を少なくとも2面以上有し、該データ記憶手段をブロック単位毎に交互に切り替えてデータのバッファリングを行なうことを特徴とするメモリカードインタフェース装置。

【請求項2】 請求項1に記載のメモリカードインタフェース装置において、前記データ制御部は、前記ホスト処理装置からのデータを前記メモリカードに書き込む際に、前記シーケンス制御部にて前記メモリカードにアクセスしている間に、前記ホスト処理装置からの連続するデータを前記データ記憶手段にブロック単位毎に書き込み、前記シーケンス制御部を介してメモリカードから送出された指示に応動して、データ記憶手段に蓄積したブロック毎のデータを前記メモリカードに転送することを特徴とするメモリカードインタフェース装置。

【請求項3】 請求項1に記載のメモリカードインタフェース装置において、前記シーケンス制御部は、前記メモリカードから前記ホスト処理装置にデータを読み出す場合に、前記メモリカードの指示に応動して前記ホスト処理装置にブロック単位毎のアドレスを要求し、前記データ制御部は、該アドレスに応じてメモリカードから読み出したデータを前記データ記憶手段のそれぞれにブロック単位毎に交互に蓄積させて、蓄積したデータを連続的に読み出して前記ホスト処理装置に転送することを特徴とするメモリカードインタフェース装置。

【請求項4】 請求項2または請求項3に記載のメモリカードインタフェース装置において、前記シーケンス制御部は、前記ホスト処理装置から前記メモリカードへのアクセスの際に前記ホストインタフェースを介して供給されるアドレスを前記メモリカードに応じたアドレスおよびコマンドとして生成し、これをセットするアドレスレジスタを有し、該レジスタにセットされたコマンドを前記メモリカードに送出するとともに、セットされたアドレスを前記データ制御部を介してメモリカードのアドレスバスに供給することを特徴とするメモリカードイン

タフェース装置。

【請求項5】 請求項1に記載のメモリカードインタフェース装置において、前記ホスト処理装置は、撮像した画像データを所定の圧縮方式にて圧縮したデータを出力するデジタル電子スチルカメラであり、前記データ制御部は、該カメラからの速度差の異なる画像データを前記データ記憶手段のそれぞれにブロック単位毎に蓄積することを特徴とするメモリカードインタフェース装置。

【請求項6】 請求項1に記載のメモリカードインタフェース装置において、該装置は、メモリカードのデータ記録領域を初期化する場合に、前記ホストインタフェース部から前記データ制御部を介して前記データ記憶手段に初期化値を表わす所定の固有値を書き込んで、これを前記メモリカードのデータ領域に順次転送して、メモリカードのデータ記録領域をそれぞれ初期化することを特徴とするメモリカードインタフェース装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体記憶素子が搭載されたICメモリカードとそのデータを取り扱うホスト処理装置との間を接続するメモリカードインタフェース装置に係り、特に、たとえばパーソナルコンピュータ規格のメモリカードをデジタル電子スチルカメラなどのホスト処理装置に接続するメモリカードインタフェース装置に関する。

【0002】

【従来の技術】近年、たとえばデジタル電子スチルカメラでは、撮像した画像データを記録する媒体としてフロッピーディスクなどに代わり半導体メモリを用いたICメモリカードが使用されるようになってきた。

【0003】また一方、パーソナルコンピュータなどでは、モデムなどの入出力(I/O)装置をカード化したI/Oカードと、上記のようなICメモリカードとを同一のスロットにて取り扱うことができる、いわゆるPCカードの規格化が図られている。この際に、PCカードは、たとえば、PC-AT規格の既存のハードディスクと同様なアクセスにてデータを読み出しおよび書き込むことができるようにATA(At Attachment Interface for Disk Drives)仕様のものが考えられている。この場合、データをアクセスするには、セクタ数、セクタ位置、シリンダ位置などのハードディスクと同様なコマンドおよびアドレスにて、それぞれのセクタ単位、たとえば512バイト単位にてデータの読み出しおよび書き込みが実行される。

【0004】また、メモリカード内部でのデータの管理方式としては、パーソナルコンピュータにて一般に用いられる、たとえばDOS(Disk Operation System)ファイルフォーマットが用いられる。この場合、データはファイルとして取り扱われ、それぞれのファイルは連続する所定の範囲のアドレス、つまりクラスタ単位に管理されており、このカードではデータが記録されるデータ領域

10

20

30

40

50

と、これをファイル単位に管理するFAT(File Allocation Table)およびディレクトリなどのデータ管理領域とを有していた。

【0005】

【発明が解決しようとする課題】しかしながら、上述したようなATA仕様のPCカードまたはDOSファイルフォーマットを適用したメモ리카ードをパーソナルコンピュータとは異なるアクセス方式にてアクセスするホスト処理装置に適用する場合、たとえば、デジタル電子スチルカメラなどに適用する場合に、それらとPCカードとの互換をとる必要があった。

【0006】たとえば、デジタル電子スチルカメラでは、画像データを記録媒体に記録する場合に、所定の圧縮符号化方式にて圧縮して記録するため、その際の画像データと圧縮率などの関係によってデータの転送速度が一定になるとは限らない。この場合、メモ리카ードとして、たとえばバイト単位に自由に読み出しおよび書き込みができるSRAMを採用したものでは、ホスト処理装置側のデータの転送速度に関係なくデータの書き込みおよび読み出しが実行できるが、上述したようなATA仕様のPCカードでは、そのカード特有のアクセス方式に応じてデータの供給速度を変えなければならない問題があった。つまり、ATA仕様のカードでは、データがセクタ単位にて取り扱われ、さらにカードへのアクセススピードがPCカードの持つ固有の速度に、アドレス、コマンド等のデータ以外の付加的なアクセスが加わるために、アクセスしてからデータを実際に書き込みまたは読み出すまでの時間が一定ではない。したがって、デジタル電子スチルカメラのような圧縮符号化された転送速度の異なるデータを、その速度を妨げずにPCカードにアクセスし、かつPCカードでの実質的なデータの書き込みまたは読み出し速度を妨げずにデータを転送しなければならないなどの課題があった。

【0007】本発明は、このような従来の技術の課題を解決して、ホスト処理装置とメモ리카ードとで異なるデータのアクセス速度を有効に吸収することができるメモ리카ードインタフェース装置を提供することを目的とする。

【0008】

【課題を解決するための手段】本発明によるメモ리카ードインタフェース装置は上記課題を解決するために、データの読み出しおよび書き込みが所定の容量のブロック単位毎にアクセスされるメモ리카ードと、データの特性に応じてその転送速度が異なるデータを取り扱うホスト処理装置とを着脱自在に接続するメモ리카ードインタフェース装置において、ホスト処理装置からメモ리카ードへの制御信号をインタフェースするホストインタフェース部と、ホストインタフェース部からの制御信号およびメモ리카ードからの状態信号を受けて該メモ리카ードへのアクセスを実行するシーケンス制御部と、シーケンス

制御部からの制御信号を受けて、そのシーケンスに基づいてメモ리카ードへのデータのアクセスを実行するデータ制御部とを含み、データ制御部は、メモ리카ードにて取り扱われるブロック単位のアクセス容量と同様の容量を有するデータ記憶手段を少なくとも2面以上有し、これらデータ記憶手段をブロック単位毎に交互に切り替えてデータのバッファリングを行なうことを特徴とする。

【0009】この場合、データ制御部は、ホスト処理装置からのデータをメモ리카ードに書き込む際に、シーケンス制御部にてメモ리카ードにアクセスしている間に、ホスト処理装置からの連続するデータをデータ記憶手段にブロック単位毎に書き込み、シーケンス制御部を介してメモ리카ードから送出された指示に応動して、データ記憶手段に蓄積したブロック毎のデータをメモ리카ードに転送するとよい。

【0010】また、シーケンス制御部は、メモ리카ードからホスト処理装置にデータを読み出す場合に、メモ리카ードの指示に応動してホスト処理装置にブロック単位毎のアドレスを要求し、データ制御部は、そのアドレスに応じてメモ리카ードから読み出したデータをデータ記憶手段のそれぞれにブロック単位毎に交互に蓄積させて、蓄積したデータを連続的に読み出してホスト処理装置に転送するとよい。

【0011】さらにシーケンス制御部は、ホスト処理装置からメモ리카ードへのアクセスの際にホストインタフェースを介して供給されるアドレスをメモ리카ードに応じたアドレスおよびコマンドとして生成し、これをセットするアドレスレジスタを有し、レジスタにセットされたコマンドを前記メモ리카ードに送出するとともに、セットされたアドレスをデータ制御部を介してメモ리카ードのアドレスバスに供給するとよい。

【0012】また、ホスト処理装置は、撮像した画像データを所定の圧縮方式にて圧縮したデータを出力するデジタル電子スチルカメラであり、データ制御部は、このカメラからの速度差の異なる画像データをデータ記憶手段のそれぞれにブロック単位毎に蓄積するとよい。

【0013】また、本発明によるメモ리카ードインタフェース装置は、メモ리카ードのデータ記録領域を初期化する場合に、ホストインタフェース部からデータ制御部を介してデータ記憶手段に初期化値を表わす所定の固有値を書き込んで、これをメモ리카ードのそれぞれのデータ領域に順次転送して、メモ리카ードのデータ記録領域をそれぞれ初期化するようにするとよい。

【0014】

【作用】本発明のメモ리카ードインタフェース装置によれば、ホスト処理装置からメモ리카ードへのアクセスに関する制御信号は、ホストインタフェース部から順次シーケンス制御部に供給され、ここで、たとえばパーソナルコンピュータ規格のメモ리카ードにアクセスする際に必要とされるパラメータが生成されて、順次メモ리카ード

10

20

30

40

50

ドに供給される。メモリカードへのパラメータの書き込みが終了すると、メモリカードからただちに書き込み要求信号などの状態信号が送られ、これを受けたシーケンス制御部のレジスタにアドレスおよびコマンドがセットされる。次いで、データ制御手段では、シーケンス制御部からの制御に基づいて一方のデータ記憶手段からメモリカードにデータをアクセスしている間は、もう一方のデータ記憶手段に対してホスト処理装置との間にてデータをアクセスし、その間のデータの速度交換を行なう。したがって、メモリカードとのデータアクセス中にシー

【0015】

【実施例】次に、添付図面を参照して本発明によるメモリカードインタフェース装置の一実施例を詳細に説明する。図1には本発明におけるメモリカードインタフェース装置の一実施例が示されている。本実施例によるメモリカードインタフェース装置は、たとえば、デジタル電子スチルカメラなどのホスト処理装置に搭載されて、このホスト処理装置と、パーソナルコンピュータ規格のメモリカード（以下PCカードと記す）との間のインタフェースをとる装置である。特に、本実施例では、PCカードにて取り扱うセクタ単位の容量と同様の容量を有する

【0016】詳細には、本実施例のメモリカードインタフェース装置50は、図1に示すようにホストインタフェース部210と、データ制御部220と、シーケンス制御部230と、第1のバッファ240と、第2のバッファ250とを有している。ホストインタフェース部210は、ディ

メモリカードに供給するデータ管理情報書換機能と、ホスト処理装置からの制御信号をシーケンス制御部230に供給する制御信号処理機能とを有する信号処理回路である。特に、本実施例では、メモリカードアクセスの際にシーケンス制御部230への制御信号S1として、処理開始START、レジスタ設定ATE、処理終了FINなどのホスト処理装置からの主要な制御を表わす信号を供給する。

【0017】データ制御部220は、デジタル電子スチルカメラとPCカードとの間のデータを双方向にインタフェースするデータインタフェース回路であり、デジタル電子スチルカメラにてデータを制御する、たとえば、メモリコントローラに双方向のバス58にて接続されて、またPCカードを接続するコネクタ300に16ビットのデータバス60および24ビットのアドレスバス62にて接続されている。特に、本実施例のデータ制御部220は、ホスト処理装置からメモリカードにデータを転送する場合に、バス58を介して供給される連続的なデータを第1のバッファ240および第2のバッファ250にたとえばセクタ単位毎に交互に書き込み、シーケンス制御部230からの制御信号に応じてそれぞれ読み出してデータバス60を介してメモリカードに転送する。また、メモリカードからデータを読み出す場合には、メモリカードからセクタ単位に供給されるデータをそれぞれ第1のバッファ240および第2のバッファ250に書き込み、ホストインタフェース部210からの制御信号に応じて蓄積したデータを連続的なデータとして読み出しホスト処理装置に転送する。バッファ240,250は、上述したようにメモリカードでのデータアクセス容量と同様の、たとえばセクタ単位、具体的には512バイトの容量をそれぞれ有してい

【0018】シーケンス制御部230は、ホストインタフェース部210からの制御信号を受けてPCカードにアクセスし、その状態信号を受けてデータ制御部220をPCカード20の規格に適合したシーケンスにて制御するカード制御回路である。たとえば、本実施例では、シーケンス制御部230にATA (At Attachment Interface for Disk Drives) 仕様のPCカードでのアドレスおよびコマンドをセットするレジスタ260を有しており、ホスト処理装置からPCカードへアクセスするアドレスがホストインタフェース部210を介してシーケンス制御部230に転送されると、そのアドレスに基づいてレジスタ260にPCカードに応じたアドレスをセットする。つまり、図3に示すようにメモリをハードディスクと同様に、セクタ数、セクタ位置、およびヘッド位置、コマンドの順に指定するパラメータをレジスタ260にセットして、これをデータ制御部220を介してアドレスバス60からPCカードに供給し、その後、データ制御部220を制御してデータの送受信を実行させる。たとえば、本実施例ではホスト処理装置にアドレス要求AREQを供給して、そのアドレスをホストインタフェース部210を介してアドレス設定ATEとともに

7

受けると、レジスタ260にパラメータを設定し、その間にPCカードに対してレディRDY/ビジーBSYの信号に応動して、カードアクセスSENDを送出して、データ制御部220を制御しつつPCカードにアクセスする。

【0019】図2には、上記メモリカードインタフェース装置50が搭載されたデジタル電子スチルカメラの一実施例が示されている。本実施例のデジタル電子スチルカメラ10は、CCD(Charged Coupled Device)などの撮像部100にて撮影した画像を表わす画像データを圧縮などの所定の処理を施してメモリカード20などの記録媒体に順次記録し、記録媒体から順次、読み出したデータを元のデータに再生してCRT(Cathode Ray Tube)30などの表示装置に表示する画像処理装置である。

【0020】デジタル電子スチルカメラの各部の詳細を説明すると、撮像部100は、その撮像面に結像した被写体像を赤、青、緑(R,G,B)各色毎に電気信号に変換して出力する光電変換回路である。この撮像部100からの電気信号はアナログ・デジタル(A/D)変換器102を介してYC処理部104に供給される。A/D変換器102は、撮像部100からのRGBそれぞれアナログの画像信号を、たとえば、それぞれ10ビットのデジタルデータに変換して出力する信号変換回路である。

【0021】YC処理部104は、RGBの画像データにて供給された信号を表示装置30に表示可能な輝度信号(Y)および色差信号(C)からなるYCデータに変換するデータ処理回路である。YC処理された信号は、D/A変換器106を介して表示装置30に表示可能となり、また、記録媒体に記録する場合にはデータバス150を介して圧縮伸張部108に供給される。圧縮伸張部108は、YCデータをたとえば2次元直交変換およびハフマン符号化などの所定の圧縮方式にて圧縮し、また圧縮されたデータを逆変換して伸張し元のYCデータに戻すデータ処理回路である。圧縮された画像データはメモリコントローラ部110からメモリカードインタフェース装置50を介してメモリカード20にそれぞれ記録される。

【0022】メモリコントローラ部110は、記録媒体への画像データの記録および再生を制御するデータ制御回路であり、再生制御信号112および撮影制御信号114に応動してそれぞれの制御を実行する。このメモリコントローラ部110には、画像データを展開してバッファリングするイメージバッファ120が接続されている。イメージバッファ120は、たとえばダイナミックRAM(DRAM)などの随時書き換え可能な記憶回路にて形成され、画像データが展開される。この場合、メモリカード20から読み出された画像データを圧縮伸張部108にて伸張した画像データを再生する場合に適用される。このイメージバッファ120からの画像データは低域通過フィルタ(LPF)により空間周波数が強調され、YC処理部104およびD/A変換器106を介して表示装置30に表示される。

【0023】低域通過フィルタは、メモリコントローラ

8

部110に電気的回路にて形成され、その発振周波数は局部発振制御部(LPF VCO)122からの制御に基づいて適正な値にコントロールされる。再生制御信号112は、再生信号生成部(再生用SSG)124にて生成され、撮影制御信号114は撮影信号生成部(撮影用SSG)126にて生成される。これら信号生成部124,126は、カメラ外面に設けられたリリースボタン、記録ボタンなどの操作部の操作に基づいて起動される。

【0024】中央処理装置(CPU)130は、上記各部をCPUバス160を介して制御する制御回路であり、特に、本実施例ではメモリカードインタフェース装置50にメモリカードへのデータの書き込みおよび読み出しを制御する制御信号をたとえば8ビットのバス160(52)を介して送出する。具体的には、撮影の際に、メモリカード20の空領域をメモリカードインタフェース部50を介して検出し、そのアドレスをメモリカードインタフェース装置50に供給し、処理部104,108にて処理された画像データをメモリコントローラ110を介してメモリカードインタフェース装置50からPCカード20に書き込ませる。PCカード20からデータを読み出す際にはそのデータ領域をメモリカードインタフェース装置50を介して検出し、そのアドレスを生成してデータをメモリコントローラ110に読み出し、再生処理を実行させて表示装置30に表示させる。

【0025】次に本実施例にて適用される68ピンのPCカード30のピン配置を図4および図5に示す。これらの図では、入出力双方向のデータバスD0~D15が第2~6ピン、第30~32ピン、第37~41ピン、第64~66ピンにそれぞれ接続され、そのアドレスが供給されるアドレスバスA0~A25が第8ピン、第10~14ピン、第19~29ピン、第46~50ピン、第53~56ピンにそれぞれ配置されており、これらはメモリカードインタフェース装置50のコネクタ300を介してデータ制御部220にそれぞれ接続される。

【0026】メモリカード30を起動する制御信号となるカードイネーブル信号-CE1,-CE2は第7ピンおよび第42ピンに配置され、これらはコネクタ300を介してシーケンス制御部230に接続される。これらカードイネーブル信号-CE1,-CE2は負論理にてアクセスされ、両方の信号が負の場合に16ビットでのデータのアクセスが実行され、信号-CE1が負、かつ信号-CE2が正の場合に、8ビットのアクセスが可能となっている。データを読み出す際に負となる出力イネーブル-OEは、第9ピンに配置され、データを書き込む際に負となるライトイネーブル-WE/-POMは第15ピンにそれぞれ配置されており、カードイネーブルと同様にシーケンス制御部230に接続される。

【0027】メモリカード30の状態を表わすレディ+RDY/ビジー-BSY端子は、第16ピンに配置されており、データの読み出しおよび書き込みが可能な場合に正となり、カード内部にて処理中などには負となってシーケンス制御部230に状態を知らせる。動作電源VCCは第17ピンおよび第51ピンに配置され、プログラム用電源VPP1,VPP2

50

は第18ピンおよび52ピンに配置されており、メモリインタフェース装置50を介してホスト処理装置からの電源が供給される。データの書き込みの適否を表わすライトプロテクト-WP は第33ピンに配置され、この信号が負となっている場合にはカードからデータの読み出しのみが可能となつて書き込みができないようになっている。

【0028】以下、第36ピンおよび第67ピンにカード検出-CD1、-CD2 の端子が配置され、記憶素子としてDRAMが採用されている際にそのリフレッシュ信号が供給されるリフレッシュRFSH端子が第43ピンに用意されている。また、第58ピンにリセット端子RESET が配置され、第59ピンにウェイト端子-WAIT が配置されている。さらに第61ピンにカードの属性などを記憶した領域をアクセスする際のアトリビュートメモリ空間セレクト-REGが配置され、カードにSRAMなどの電池が必要な場合の記憶素子が採用されている場合に電池電圧検出BVD1、BVD2 が第62ピンおよび第63ピンに配置されている。第44ピン、第45ピン、第57ピンおよび第60ピンは、予約端子RFU であり、残りの第1ピン、第34ピン、第35ピンおよび第68ピンは、グラウンド端子GND としてそれぞれ配置されている。

【0029】このようにPCカードは、プログラム可能なEEPROM、EPROMからSRAM、DRAM などのように電池の必要ならゆる半導体記憶素子を採用可能なようにピン配置が設定されており、本実施例ではいずれの場合にも、ATA仕様のアクセスおよびDOS ファイルフォーマットによるデータ管理方式が採用されているものとする。たとえば、図6に示すように、本実施例におけるメモリカードは、それぞれのデータを所定の容量、たとえば1024バイトのクラスタ単位に管理しており、その第1のクラスタには属性情報510、ブートセクタ520、FAT(File Allocation Table)530およびディレクトリ540を含むデータ管理領域500が用意されている。属性情報510は、消去や更新が禁止されているか否かの区別を示すリードオンリファイル01h、ディレクトリコマンドでは表示されない隠しファイルを有するか否かの区別を示す隠しファイル02h、システムファイル04h、ボリューム名08h、サブディレクトリであることを示すディレクトリ10h、アーカイブファイルなどの区別20hなどの属性がそれぞれの論理積をとった形式にて記録されている。

【0030】ブートセクタ520は、本メモリにアクセスするために必要な種々の係数などを含み、具体的には、バージョン番号、セクタ当たりのバイト数、クラスタ当たりのセクタ数、FAT数、FAT当たりのセクタ数、トラック当たりのセクタ数、ヘッド数、ドライブ番号、ボリュームID番号、ボリュームラベル、ファイルシステムタイプなどが記録されている。FAT領域530は、それぞれのクラスタのスタートアドレスおよびエンドアドレスならびにクラスタ間の連鎖、および空きクラスタなどの区別が記録されており、このFAT領域の内容に基づいてそれぞれのデータがアクセスされる。ディレクトリ540

は、ファイル名、ファイルタイプ、ファイル更新時刻およびファイル更新年月日、ファイルの最初のクラスタ番号、およびファイルサイズなどが記録される。

【0031】以上のような構成において、本実施例におけるメモリカードインタフェース装置30の動作を図7～図9を参照して、デジタル電子スチルカメラの動作とともに説明する。まず、デジタル電子スチルカメラ10の主電源をオンとした状態にて、PCカード20をメモリインタフェース装置50のコネクタ300に接続すると、PCカード20に動作電源Vcc が供給されて、PCカード20のカード検出信号-CE1、-CE2がアクティブになる。これにより、メモリインタフェース装置50のシーケンス制御部230にてカード検出信号-CE1、-CE2を検出すると、ホストインタフェース部210を介してその状態がデジタル電子スチルカメラ10の中央処理装置130に通知される。

【0032】これにより、デジタル電子スチルカメラ10の中央処理装置130は、ホストインタフェース部210を介してメモリカード20のデータ管理領域にアクセスし、バス56を介して順次その内容を読み出して、メモリカード20の管理情報を順次チェックする。たとえば、属性情報510を読み出して接続されたPCカードへ画像データの書き込みが可能か否かなどをチェックし、次いで、ブートセクタ520を読み出してバージョンなどのチェックを行ない、これにユーザのカード番号などが含まれていれば、これを図示しない操作表示部などに表示する。次いで、FAT530を読み出してクラスタ数などのチェックを行ない、データ領域の記録可能な容量などをチェックする。このチェックに合格すると、中央処理装置130は操作表示部に撮影可能を表示する。

【0033】表示を見た操作者が所望の被写体にカメラ10を向けてリリースボタンを操作すると、これに応動して中央処理装置130は撮像部100を制御して被写体の撮影を行なう。撮像部100の出力はアナログデジタル変換器102によって対応のデジタルデータに変換されてYC処理部104に供給される。RGBの画像データを受けたYC処理部104は、これをYCデータに変換して圧縮伸張部108に転送する。これにより、圧縮伸張部108は、YCデータを圧縮処理してメモリコントローラ108に送り、ここからメモリカードインタフェース装置50を介してPCカード20にデータの記録を実行する。

【0034】その際、中央処理装置130は、ホストインタフェース部210を介してメモリカードのFATデータにアクセスして、これよりデータ領域の空き領域のクラスタを探す。画像データの記憶に必要なクラスタ数は圧縮伸張部160にて圧縮した圧縮率に基づいて中央処理装置130にて算出する。中央処理装置130はこうして、メモリカード20のデータ記憶領域における所要のクラスタの先頭の記憶位置を指定するアドレスを生成して、これをメモリカードインタフェース装置50に送る。

【0035】メモリカードインタフェース装置50では、

11

図7に示すように、初期状態ST10から処理開始信号を待つアイドル状態ST20に移り、ホストインタフェース部210にて中央処理装置130からのアドレスを受けると、シーケンス制御部230に処理開始信号STARTを送出する。これにより、シーケンス制御部230はメモ리카ード20の状態信号RDY/BSYを読むステータスリード状態ST30に移る。この際に、何らかのエラーがあれば、ステップST80に移り、エラー処理を実行する。エラーがなければ、カード20の状態信号がRDY=1,BSY=0になるのを待ち、この状態になると、ホストインタフェース部210を介して受けたアドレスなどのパラメータに基づいてレジスタ260にPCカード20に応じたアドレスおよびコマンド、つまり、セクタ数、セクタ位置、およびヘッド位置、コマンドの順に指定するハードディスクと同様なアドレスをセットする(ステップST40)。

【0036】次いで、シーケンス制御部230は、ホスト処理装置10にデータ制御部220を介してデータ要求FRDYを供給し、メモリコントローラ110からバス58を介して送信されるデータをたとえばデータバッファ240に1セクタ分書き込み、次の要求待ち状態ST50に移る。この状態にて、メモ리카ード20から要求があると、セットしたパラメータをデータ制御部220のアドレスバス62を介してメモ리카ード20に供給し、次いで、バッファ240に蓄積したデータを読み出し、データバス60を介してメモ리카ード20に供給する。この間に、シーケンス制御部230は第2のステータスリード状態ST60に移り、上記と同様にエラーがあればエラー処理ST80に移って、エラーがなければホスト処理装置10に対してデータ要求して、第2のバッファ250に次のセクタのデータを蓄積する(ステップST70)。

【0037】以降、シーケンス制御部230はアイドル状態ST20に戻り、図8に示すように上記動作を繰り返して第1のバッファ240および第2のバッファ250にセクタ毎に交互にデータを蓄積する一方、設定したパラメータとともに蓄積したセクタ毎のデータを順次読み出してメモ리카ード20に供給し、これによりデータがセクタ毎に順次メモ리카ード20に書き込まれていく。

【0038】そして、1クラスタ分の画像データを送ったデジタルスチルカメラ10では、その中央処理装置130がメモリインタフェース装置に蓄積したデータ管理領域のFAT530を読み出して、画像データを記録する次の空クラスタのスタートアドレスを算出し、上記と同様にホストインタフェース部210に供給する。以下同様にシーケンス制御部230の制御の下にデータ制御部220のデータバッファ240,250にセクタ毎に交互にデータの書き込みが実行され、クラスタ毎に中央処理装置130がメモ리카ード20のデータ管理領域のFATを参照して次のクラスタのスタート番地を生成して、クラスタ毎の画像データの書き込みが順次実行される。

【0039】こうして1画像分の画像データがメモ리카

12

ード20に蓄積されると、中央制御装置130はホストインタフェース部210を介してメモ리카ード20のデータ管理領域の更新を行なう。たとえば、1画像分のデータの記録に使用したクラスタが連鎖するようにFATには各クラスタに対応して次のクラスタの番号を記入し、最終のクラスタにはたとえば「全1」を記入する。同様にしてディレクトリも更新される。ディレクトリの更新は、データ種別およびスタートクラスタについて行なわれる。スタートクラスタはバケットのデータの記録に使用した一連のクラスタのうちの先頭のもののクラスタ番号であり、これが中央処理装置130にて作成されてメモ리카ード20のデータ管理領域500にて更新される。

【0040】一方、メモ리카ード20からデータを読み出す場合には、図9に示すようにデジタル電子スチルカメラ10の中央処理装置130からのアクセスに対して、上記と同様にホストインタフェース部210からシーケンス制御部230に処理開始STARTを供給して、シーケンス制御部230にて読み出し制御が開始される。つまり、ホスト処理装置10にアドレス要求AREQを送出すると、これに回答してホスト処理装置10からアドレスが供給され、これを受けたホストインタフェース部210はシーケンス制御部230にアドレスとともにレジスタ設定ATEを供給する。これによりシーケンス制御部230にてレジスタ260にメモ리카ード20に応じたアドレスをセクタ毎に設定して、これをデータ制御部220のアドレスバス60を介してメモ리카ード20に送り、そのアドレスのデータをメモ리카ード20から順次読み出す。

【0041】読み出されたデータは、セクタ毎にデータバス60を介してデータ制御部220のバッファ240または250に順次蓄積され、セクタ毎にバス56を介して順次メモリコントローラ110に転送される。以上の処理がそれぞれセクタ毎にバッファ240,250にて交互に繰り返されて、メモ리카ード20から1画面分のデータがメモ리카ードインタフェース装置50を介してデジタル電子スチルカメラ10に読み出される。

【0042】データを受けたメモリコントローラ110は、これを圧縮伸張部108に送り圧縮されたデータを逆変換などにより伸張させる。伸張されたデータはイメージバッファ100に順次展開されて、1画面分のデータがバッファ100に蓄積されると、メモリコントローラ110はこれを順次読み出し低域通過フィルタなどにより空間周波数を強調して、YC処理部104およびD/A変換器106を介して表示装置30に表示させる。

【0043】また、本実施例にてメモ리카ード10の初期化を行なう場合には、ホスト処理装置10から初期化の命令を送り出すと、メモ리카ードインタフェース装置50のホストインタフェース部210からデータ制御部220に所定の値、たとえば全セクタの値が「全1」となる固有値を供給してバッファ240,250に書き込む。次いで、シーケンス制御部230からメモ리카ード20の初期化する部分

50

のアドレスをデータ制御部220を介してメモリカード20に供給し、次いで、バッファ240,250に書き込んだ固有値を読み出してメモリカード20に供給する。これにより、メモリカード20に固有値が順次書き込まれて所望のアドレスの初期化が実行される。以下、順次アドレスを更新してバッファ240,250の値を繰り返しメモリカード20に供給して、ホスト処理装置10からの制御を受けることなく、自動的にメモリカード20の初期化が実行される。

【0044】以上のように本実施例におけるメモリインタフェース装置によれば、デジタル電子スチルカメラ10からメモリカード20にアクセスして、データを書き込みまたは読み出す場合に、データバッファ240,250にてセクタ毎に交互にデータをバッファリングするので、たとえば、一方のデータバッファ240からメモリカードにデータをアクセスしている間は、もう一方のデータバッファ250に対してホスト処理装置20との間にてデータをアクセスし、その間のデータの速度交換を行なうことができる。したがって、一方のバッファ240または250にてメモリカード20とのデータアクセス中に、シーケンス制御部230にて次のセクタに関するアドレス、コマンド等のパラメータを事前にセットしておくことにより、メモリカード20側の処理を意識する必要がなくデータをアクセスすることができる。また、アドレス設定、コマンド書き込み、ステータスリード等のPCカード20へアクセスする際に必要とされるシーケンスは、シーケンス制御部230によってハードウェア的に実行することにより、ホスト処理装置側のCPU等の介入を極力少なくすることができる。

【0045】なお、上記実施例ではメモリインタフェース装置をデジタル電子スチルカメラに適用した場合を例に挙げて説明したが、本発明においては他のホスト処理装置たとえば文字データを取り扱うワードプロセッサなどに適用してもよく、さらに音声データ、画像データなどのそれぞれのデータを取り扱う各種情報処理装置に適用してもよい。

【0046】

【発明の効果】以上詳細に説明したように本発明によるメモリカードインタフェース装置によれば、データ制御部にメモリカードでのデータアクセス容量と同様の容量*

*のデータ記憶手段を2面以上設けたので、たとえばデジタル電子スチルカメラのように画像データによって転送速度の異なるデータをセクタ単位毎にデータ記憶手段に記憶してからメモリカードに記録し、また、メモリカードから読み出したセクタ毎のデータをデータ記録手段に蓄積して連続的に読み出してホスト処理装置に転送して、それぞれの装置でのデータ転送速度の差を吸収することができる。

【図面の簡単な説明】

【図1】本発明によるメモリカードインタフェース装置の一実施例を示すブロック図である。

【図2】図1の実施例が適用されたデジタル電子スチルカメラの構成例を示すブロック図である。

【図3】図1の実施例にてメモリカードにアクセスする際のパラメータおよびデータのアクセス順序を示す図である。

【図4】図1の実施例に適用されるメモリカードのピン配置を示す図である。

【図5】図3に続くメモリカードのピン配置を示す図である。

【図6】本実施例におけるメモリカードのデータ記録状態を示す図である。

【図7】本実施例におけるメモリカードインタフェース装置の動作を説明するための状態遷移図である。

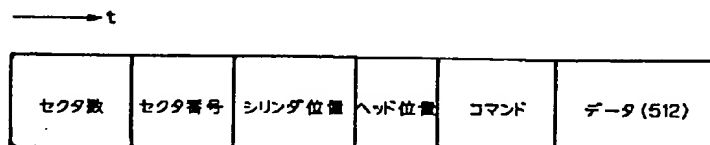
【図8】本実施例におけるメモリカードインタフェース装置の動作を説明するためのタイムチャートである。

【図9】本実施例におけるメモリカードインタフェース装置の動作を説明するためのタイムチャートである。

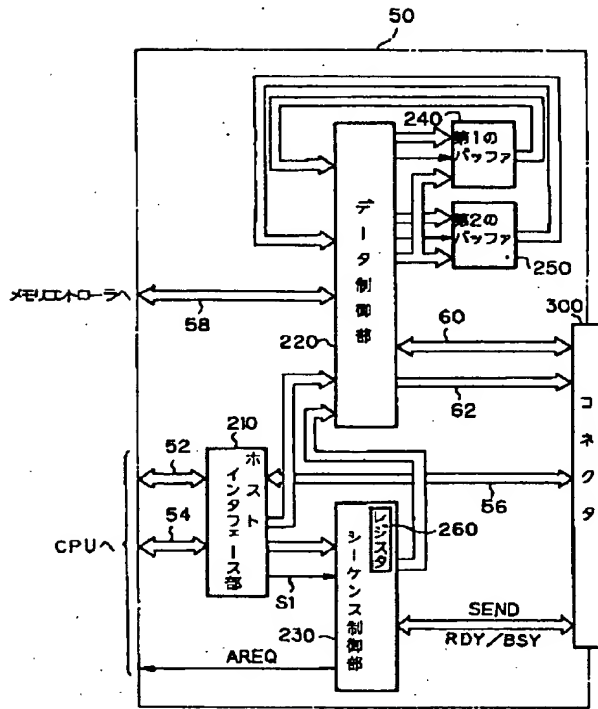
【符号の説明】

- 10 デジタル電子スチルカメラ
- 20 メモリカード
- 30 表示装置
- 50 メモリカードインタフェース装置
- 110 メモリコントローラ部
- 130 中央処理装置
- 210 ホストインタフェース部
- 220 データ制御部
- 230 シーケンス制御部
- 240 バッファ

【図3】



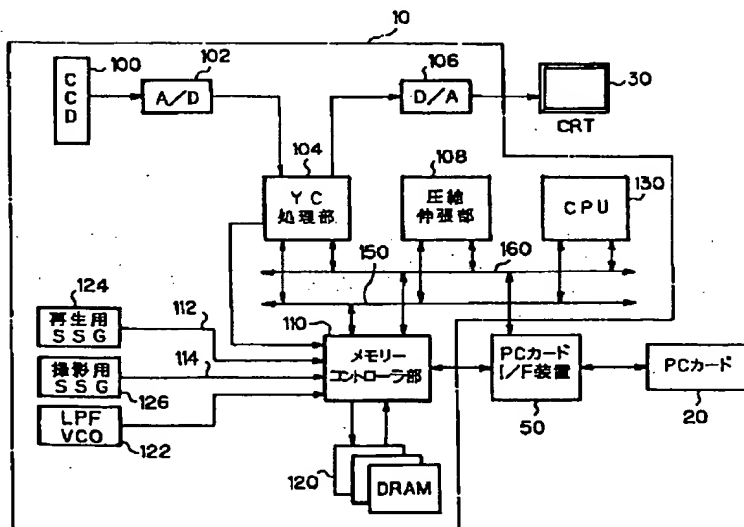
【図1】



【図4】

ピン	信号名	I/O	機能
1	GND		グラウンド
2	D3	I/O	データ3
3	D4	I/O	データ4
4	D5	I/O	データ5
5	D6	I/O	データ6
6	D7	I/O	データ7
7	-CE1	I	カードイネーブル
8	A10	I	アドレス10
9	-OE	I	出力イネーブル
10	A11	I	アドレス11
11	A9	I	アドレス9
12	A8	I	アドレス8
13	A13	I	アドレス13
14	A14	I	アドレス14
15	-WE/-PGM	I	ライトイネーブル
16	+RDY/-BSY	O	レディ/ビジー
17	VCC		動作電源
18	VPP1		プログラム用電源
19	A16	I	アドレス16
20	A15	I	アドレス15
21	A12	I	アドレス12
22	A7	I	アドレス7
23	A6	I	アドレス6
24	A5	I	アドレス5
25	A4	I	アドレス4
26	A3	I	アドレス3
27	A2	I	アドレス2
28	A1	I	アドレス1
29	A0	I	アドレス0
30	D0	I/O	データ0
31	D1	I/O	データ1
32	D2	I/O	データ2
33	+WP	O	ライトプロテクト
34	GND		グラウンド

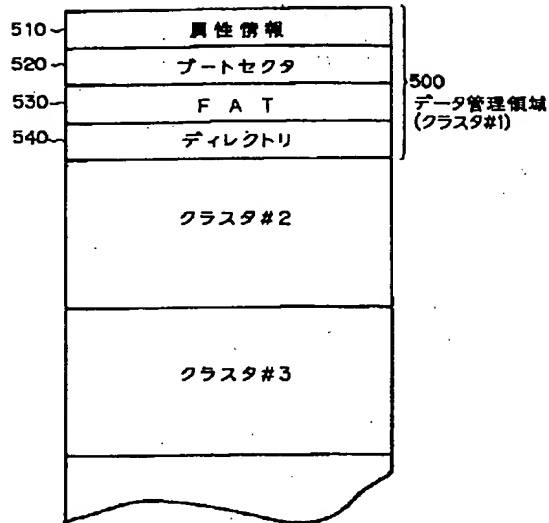
【図2】



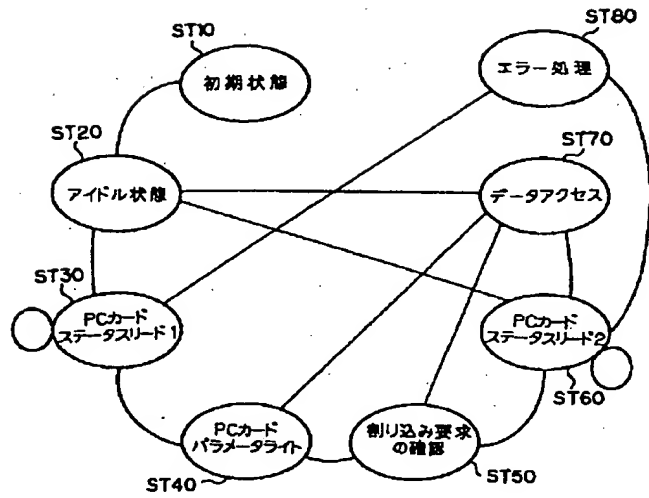
【図5】

ピン	信号名	I/O	機能
35	GND		グラウンド
36	-CD1	O	カード検出
37	D11	I/O	データ11
38	D12	I/O	データ12
39	D13	I/O	データ13
40	D14	I/O	データ14
41	D15	I/O	データ15
42	-CE2	I	カードイネーブル
43	RFSH	I	リフレッシュ
44	RFU		予約
45	RFU		予約
46	A17	I	アドレス17
47	A18	I	アドレス18
48	A19	I	アドレス19
49	A20	I	アドレス20
50	A21	I	アドレス21
51	VCC		動作電源
52	VPP2		プログラム用電源
53	A22	I	アドレス22
54	A23	I	アドレス23
55	A24	I	アドレス24
56	A25	I	アドレス25
57	RFU		予約
58	+RESET	I	リセット
59	-WAIT	O	ウェイト
60	RFU		予約
61	-REG	I	レジスタ/メモリ空間選択
62	BVD2	O	電池電圧検出
63	BVD1	O	電池電圧検出
64	D8	I/O	データ8
65	D9	I/O	データ9
66	D10	I/O	データ10
67	-CD2	O	カード検出
68	GND		グラウンド

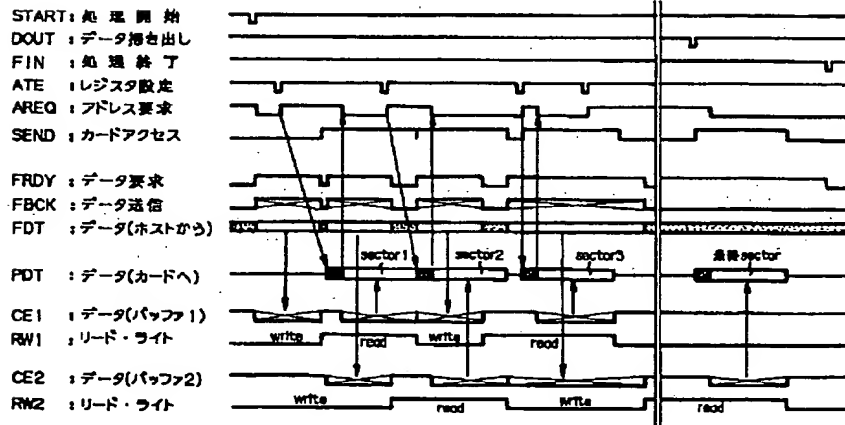
【図6】



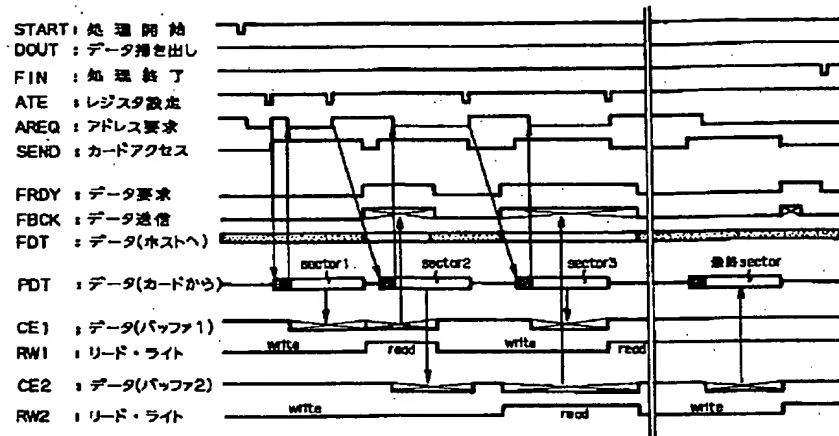
【図7】



【図8】



【図9】



フロントページの続き

(51)Int.Cl.*

識別記号

片内整理番号

F I

技術表示箇所

G 0 6 K 19/07

H 0 4 N 5/765

5/781

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.